

* NOTICES *

English Translation for JP2005292135

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[Field of the Invention]

[0001]

Generally this application is related with an automatic test equipment. It is related with measurement of the duty cycle using an automatic test equipment in more detail.

[Background of the Invention]

[0002]

In manufacture of electronic parts, such as a semiconductor chip, the need of measuring the parameter about an electrical signal often arises. The component part which operates to incorrectness can be discovered by comparing said measured parameter with expected value. While the component part is designed, the information for improving a design can be offered by discovering inaccurate actuation.

[0003]

All the component parts made are often tested at least at once during manufacture. Semi-conductor components are sometimes tested even on a certain in-between stage of a manufacture process, even when it is still some wafers. The component part which operates to incorrectness on this in-between stage may only be thrown away, in order to save the costs concerning the further processing. In other cases, in order to decrease the number of the component parts with which a defect is, the result of said test is used although fabrication operation is changed. For example, yield management software assembles the defect found with many component parts, and specifies from a calibration the manufacturing installation or other problems which have shifted in manufacture of said component part. The yield of the component part in said process which functions completely serves as a higher rate by changing said manufacture process and removing these problems.

[0004]

Moreover, the result of a test can be used also in order to change said fabrication operation by other approaches. For example, using a laser trimming or inclusion type proofreading circuit etc., the component part which operates to incorrectness may be changed so that it may operate to satisfaction. Or in order that "BININGU" (binning), it may be used again. [a test] [a component part] Even if it is the component part which does not work so that it may be expected under a certain test condition, under other conditions which are not so severe, it may work appropriately. For example, the component part which operates to incorrectness at the temperature of 125 degrees C may work appropriately at 105 degrees C. These component parts may be marked as a product for fields whenever [low-temperature], and may be sold. Similarly, the component part which does not operate correctly may fill the requirement on all actuation in a lower clock rate with a high clock rate. These component parts may be sold as an object for actuation in a lower clock rate. According to the result of a test, it is sometimes called "speed BININGU (speed binning)" to assign the greatest operating ratio to a component part.

[0005]

The automatic test equipment by which have sometimes been called the circuit tester is designed so that semi-conductor components may be tested quickly. In order to test economically all the component parts

currently manufactured, an automatic test equipment must carry out the perfect test about a component part for a short time, such as several seconds. An automatic test equipment is often equipped with two or more digital channels, and both of also generating a digital signal to one test point and things to measure are possible for each digital channel.

[0006]

A circuit tester performs a "pattern." A pattern is a program which makes a circuit tester perform a certain one test or two or more tests. The pattern includes the vector of 1 continuation. Each vector specifies actuation of said all digital channels between actuation of said circuit tester of one period. said circuit tester -- ***** -- it is alike, said vector is performed and a series of required stimulus signals (stimulus signal) and measured value are created. In order that the component part of a sample offering may set up the rate which operates between said tests, the timing of said vector is controllable.

[0007]

It specifies whether each vector is to measure that between specific cycles and its channel make a signal be to be generated to each channel, or a signal. When said channel makes a signal be to be generated, said vector specifies which logical value of HI or LO said signal should have. On the contrary, when said channel is to measure a signal, said vector specifies the expected value of said signal. At the time of measurement, when there is no expected value in a measurement signal, said channel outputs a defect signal (fail signal)].

[0008]

Moreover, a circuit tester is programmable to control other operational parameters. For example, the voltage level corresponding to logical HI or a logical LO signal is usually programmable. Furthermore, an event can program the timing which happens to less than one cycle. Said channel can program the time amount which should apply an output value to the beginning of said cycle. Moreover, similarly, in order that said channel may measure the value to the beginning of said cycle, the time amount which should sample said signal is programmable. The time amount from which a sample should be made is sometimes called "strobe" time amount.

[0009]

Said circuit tester is equipped with the defect processing circuit which catches said defect signal generated by said channel. This information about a defect is used as the assistance which is used for specifying a component part with a defect, or diagnoses the problem about the design of said component part, or assistance which diagnoses the problem about the fabrication operation used in order to make said component part. One easy function in which a defect processing circuit can be performed is counting the number of the defects of each channel between patterns.

[0010]

The digital channel is designed so that digital value may be generated and it may measure. Traditionally, the test using a digital channel means confirming whether a device outputs Logic HI in the time amount expected, or Logic LO is outputted. A circuit tester is equipped with the "instrument" for often generating an analog signal or measuring. For example, arbitration wave equipment generates an analog signal and most of the wave is programmable in any forms. Other instruments may extract an analog signal quickly for finding power spectrum density or other properties of an analog signal etc., and may perform the advanced signal-processing function about the caught sample. Furthermore, other instruments may measure JITA in a signal.

[0011]

One parameter of the signal measuring may be desirable is the duty cycle of a clock signal. Traditionally, said duty cycle has been measured using the instrument of the bench top of an oscilloscope etc. Such measurement is not suitable for use in the manufacture process by which a component part must be tested immediately. the former -- general -- said duty cycle of a component part -- -- it guarantees on a design -- having -- " -- it came. That is, although it meant that it was designed so that said component part might make a signal by a certain duty cycle, the test for confirming that each manufactured component part is as a design was not performed.

[0012]

We accepted what this approach probably is not [a thing] so much suitable for the purchaser of semi-conductor components when semi-conductor components operate more at high speed. A working period carries out comparatively the range of the duty cycle to the component part which is generally functioning appropriately expected, and it is specified. According to a clock frequency increasing, said period becomes smaller, and the permissible deviation in said duty cycle is more small. In order to guarantee that all the component parts manufactured fill a specification with smaller permissible deviation, the test is likely to be required more. In order that trimming, a calibration, or speed BININGU may offer the component part which fulfills the specification needed, it is likely to be needed more. We have recognized it as probably it being desirable to offer the simple quick approach of measuring the duty cycle of a component part during manufacture of a component part, without needing a special instrument.

[0013]

Some analog parameters have so far been measured without a special instrument. Said digital channel of said circuit tester is sometimes programmed to measure an analog mold. One example is an "edge find" routine sometimes called "timing retrieval (timing search)." "Edge find" specifies the time amount to which a signal shifts through the electrical potential difference (namely, edge) defined in advance so that a digital signal may shift to another condition from one condition.

[0014]

In order to perform edge find, said signal is impressed to the channel of said circuit tester. Said signal impressed must include the periodic copy of said edge. Originally the periodic copy of said edge is included in the periodic signal of a clock etc. When said signal originally is not periodic, a periodic signal can be generated by repeating and generating said a part of signal containing an edge. When said edge find routine is performed by the circuit tester, the component part of a sample offering is controlled to repeat and generate a part of signal by repeating and performing the whole test pattern or repeating the subset of said test pattern in the shape of a loop formation again.

[0015]

As an example of edge find measurement of one test vector *****, said digital channel which receives said signal measures the value of said signal, and is programmed to expect that said value is logical LO. Said channel is programmed to recognize all the signals that have a value below a threshold electrical potential difference as an LO signal. Said threshold is set up as it is near the average of said edge. When the value of said signal is over this threshold, said measurement indicates said channel "is poor." When the electrical potential difference of said signal is under a threshold, said channel shows pass conversely.

[0016]

This measurement offers the information on the value of said signal in one strobe time amount. In an edge find routine, measurement is repeated to much strobe time amount. Said strobe time amount increases during the continuous measurement which looks for the two strobe points which have specific time difference, and those two strobe points report the result of having differed (for example, on the one strobe point, pass is reported and other strobe points report that it is poor). Said time difference of these strobe points is often described as measuring power. The reason is because happening by somewhere while said signal transition is these two points is known. On the strobe point of the minimum number, two or more search algorithms have been applied to the target to find the changes point in required resolution.

[0017]

Although such a technique is useful, the need for the approach of measuring said duty cycle of a signal at quickly slight costs still exists.

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0018]

This invention relates to the approach of having been improved which measures the duty cycle of a signal.

[Means for Solving the Problem]**[0019]**

In one side face, this invention offers the repeat of spacing of said signal as an input signal, and relates to the approach of measuring the duty cycle of spacing of a signal which consists of performing two or more comparisons with the value of said input signal, and a threshold in the time amount controlled to the beginning of the repeat of said spacing. In the part which performs said two or more comparisons, said controlled time amount is various. Said duty cycle is calculated based on the number of the comparisons which have the value of the range beforehand decided to said threshold.

[0020]

In another side face, this invention relates to the approach of measuring said duty cycle of a signal using an automatic test equipment programmable to perform a test pattern. Said approach is i. The timing generator which generates a strobe signal in time amount controllable by the program, ii) A comparator programmable to carry out the comparison with the value and expected value in an input to the time amount controlled by the strobe signal from said timing generator, iii) The value in the input of said comparator is helpful in relation with the automatic test equipment which has the defect processing circuit combined with the output of said comparator controllable to count the number of the comparisons which show that it has deviated from said expected value between patterns. Said approach is said timing generator programmed to make the strobe signal which offers said signal as an input to said comparator, and has the relation of the first time amount with said signal. Perform a pattern, program said pattern here so that it may be the value which shows that said expected value of said comparator has said signal in the 1st logical condition, and it sets to the end of said pattern. In order that said value in the input of said comparator may make the strobe signal which records the count of the comparison performed by said defect processing circuit which shows that it deviates from said expected value, and has the relation of different time amount with said signal Said value in the input of said comparator which repeated and changed said programming of said timing generator, reran said pattern, and was performed by said defect processing circuit consists of recording the count of the comparison which shows that it deviates from said expected value. It is calculated from the total of the comparison said value in the input of said comparator to which said duty cycle was carried out by said defect processing circuit indicates it to be to deviate from said expected value.

[0021]

In the further side face, this invention relates to the automatic test equipment programmed to measure the duty cycle of an input signal. The timing generator which generates a strobe signal in the time amount which can control such a testing device by the program, The signal input combined with said input signal, and the strobe input combined with said timing generator, The digital output which can set to the time amount on which it decided in the threshold input, and the condition depending on the relative level in said signal input and said strobe input, comes and is, and has the markup force, Said value in said input of the comparator which ****, and said comparator the defect processing circuit controllable to count the number of the digital outputs of such said comparator which show that it deviates from expected value controllable by the program combined with the output of said comparator - - since -- it becomes. A software program is said timing generator programmed to make the strobe signal which has the relation of the first time amount with said signal. A pattern is performed. Said pattern here said expected value of said comparator In order to make the strobe signal which programs so that it may be the value which shows that said signal is in the 1st logical condition, and has the relation of different time amount with said input signal Said programming of said timing generator is repeated and changed, and in order to perform the approach of consisting of rerunning said pattern, said automatic check system is controlled. It is calculated from one or more values with which said duty cycle was counted by said defect processing circuit which shows the total of the comparison between all the repeats of said pattern in which it is shown that said value in the input of said comparator deviates from said programmed expected value.

[Effect of the Invention]**[0022]**

The approach explained in the top has the advantage which enables direct duty cycle measurement, without needing the analog instrument of dedication. Furthermore, the approach explained in the top uses an electronic circuitry in the digital channel of a circuit tester 100 which can essentially operate with a high speed signal. Therefore, this technique is suitable for measurement of the high speed signal which has 1 Gb/s or a quicker data signaling rate.

[0023]

Moreover, a technique has an advantage about a comparatively quick thing. The speed of the activation speed of this test approach enables it to perform a test about all the components currently manufactured, without making a manufacture process late too much. It is an advantage that duty cycle measurement explained in the top can be performed with the automatic test equipment traditionally used in manufacture of a semiconductor device. A comparator and the defect processing circuit used for the conventional high-speed digital test can be used in order to perform duty cycle measurement.

[Best Mode of Carrying Out the Invention]

[0024]

This invention is not restricted to the detail of the structure which is described by the following explanation or is illustrated with a drawing, and arrangement of a component in the application. Other examples are possible for this invention, and it is carried out, or is performed by various approaches. Moreover, it should not be considered for the purpose of explanation that the expression and vocabulary which are used on these specifications are a limit. "It includes", "it containing" or "it having", "it entering", "it being related", and those deformation which are used on these specifications mean including the items shown after that and not only additional items but the equivalent of the item.

[0025]

Drawing 1 shows the circuit tester 100 which was simplified very much and drawn. A circuit tester 100 may be a commercial circuit tester, for example, is Teradyne. Inc. of Boston The Tiger? (Tiger) test system currently sold from Massachusetts (teradyne company of Massachusetts Boston) is sufficient.

[0026]

A circuit tester 100 is equipped with the differential comparator 116. The differential comparator 116 may be a part of circuit in the digital channel of a circuit tester 100. Other circuits in a channel are not shown for simplicity. Similarly, although other channels in a circuit tester are not shown, there may be such a channel exceeding hundreds or 1000 in a commercial circuit tester. No channels of a circuit tester need to contain the differential comparator as shown by drawing 1. However, the technique explained to this specification is the most useful about a very quick signal. Such a signal tends to be expressed as a differential signal. When the input signal which should be measured is differential, it is desirable for the circuit tester resource connected to the group of this pin to contain the differential comparator 116 which is illustrated. On the contrary, when the input signal which should be measured is the single end, it is desirable for the circuit tester resource connected to this pin to contain the single end form comparator.

[0027]

The differential comparator 116 generates the output signal which shows the relative level of a signal in the forward and negative input. It sets in the configuration shown in drawing 1, and the forward input of a comparator 116 is connected to forward foot Sin+ of an input signal Sin. The negative input of a comparator 116 is connected to foot Sin- of a differential signal Sin.

[0028]

The differential comparator 116 has the input which specifies a threshold Vod. The value in the forward input of a comparator 116 is Vod. It is equal or Vod. When only the large amount is over the value in a negative input, the output of a comparator 116 shows logical HI. When the difference between Sin- and Sin+ is smaller than a threshold Vod, the output of a comparator 116 shows logical LO.

[0029]

The time amount with which a comparator 116 compares is determined by the strobe signal generated with a timing generator 118. Desirably, a timing generator 118 is a timing generator controllable by the program which can program the time amount by which a strobe signal is asserted.

[0030]

A timing generator 118 is similarly controlled by the control logic 120. The combination of a general purpose computer programmable to perform exclusive hardware and a test facility is sufficient as a control logic 120. Moreover, a control logic 120 supplies the signal which sets up the threshold Vod of a comparator 116.

[0031]

The defect processing circuit 124 is provided with the output of the differential comparator 116. The defect processing circuit 124 is traditionally equipped with the high speed storage which saves the result of the comparison performed by the differential comparator 116. Desirably, a defect processing circuit is the same rate and catches the output of the differential comparator 116 as the test pattern is performed by the circuit tester 100. In order to attain very quick actuation, a defect processing circuit may be compressed in case the data showing the stream of the output from a comparator 116 are saved by memory. For example, the defect processing circuit 124 may save only the output of the comparator 116 in which it is shown that the measurement signal did not have expected value. However, any convenient means to save data in the defect processing circuit 124 can be used.

[0032]

Moreover, the circuit tester 100 includes the data analysis circuit 122. The data analysis circuit 122 may be the combination of the general purpose computer programmed to perform exclusive hardware and a data analysis function. Data analysis may be able to be performed on the same general purpose computer used in order to perform a control logic 120. In other functions of the data analysis circuit 122, the duty cycle of Signal Sin is sometimes calculated in the desirable example programmed to analyze data in the defect processing circuit 124.

[0033]

In drawing 1, signs that Signal Sin is generated by the device 110 of a sample offering are shown. In a desirable example, the devices 110 of a sample offering are semi-conductor components tested during manufacture.

[0034]

Drawing 2 A illustrates the periodic signal with which duty cycle measurement may be performed. A circuit tester 100 may be provided with such a signal as a signal Sin. A periodic signal as shown in drawing 2 A may achieve the function as a clock for digital logic systems.

[0035]

Signal Sin has two or more periods, and drawing 2 A shows that a signal takes HI value and LO value by turns in it. A signal has HI value over the time amount shown by TH in each period. A signal has LO to time amount TL in the same period. There are two or more methods of defining the duty cycle of Signal Sin. A duty cycle is defined by the following equality by the example used for this specification.
Duty cycle =

The label of the value of TH and TL is carried out only to the period which has Signal Sin in drawing 2 A for plainness. Each period of a signal has the value of TH and TL of itself. A duty cycle is usually specified based on the average of TH and TL over all the periods in a signal measurement window. In this approach, the specification over a duty cycle of the specification of a timing jitter is another.

[0036]

Drawing 3 shows the process which uses the circuit of drawing 1, in order to measure the duty cycle of the signal Sin shown by drawing 2 A. A process starts at step 310. Reference level Vod is set up in step 310. A reference value is set as the middle level between the level when being usually in level and LO condition in case Signal Sin is in HI condition expected. In the example illustrated in drawing 2 A, Signal Sin vibrates between forward and negative values symmetrically. Therefore, it is appropriate to set reference level as a zero bolt in this example. In this setup, a comparator 116 (drawing 1) generates the output of different logical level to the condition that Signals Sin differed.

[0037]

A process progresses to step 312 to which strobe time amount is set. Desirably, strobe time amount is set up in the beginning so that it may be simultaneous with the beginning of each period of an input signal Sin. This condition is illustrated by drawing 2 B. A strobe signal is in the condition of having a time

interval between the strobes indicated to be T2, and drawing 2 B shows the regular thing to generate at spacing divided equally. Desirably, as shown in drawing 2 B, an integral strobe is placed into each period of an input signal Sin at fixed spacing.

[0038]

Return and a process progress to step 314 at drawing 3. At step 314, a circuit tester 100 performs a test pattern using the reference level and strobe time amount which were set up in steps 310 and 312. In this test pattern, the defect processing circuit 124 is programmed to all measurement by the comparator 116 to expect the low output of a comparator 116. By this programming, the defect processing circuit 124 counts the defect over each assertion (assertion) of a strobe signal, and Signal Sin is in a high condition then.

[0039]

The test pattern started in step 314 carries out multiple-times activation of the comparison actuation about an input signal Sin. The number of the measurement performed in one activation of a test pattern is shown by X here. Since desirably equalizes the effect [in / Signal Sin] of the jitter caused in the noise in a measurements process, comparison actuation is performed covering two or more signal input periods, and maintains harmony with almost all the duty cycle specification. In one example, the value of X is about 10,000. However, with the die length of the time amount which can be used in order to perform the amount of the noise in a signal, or a test, it may be more large or a smaller number of samples may be collected.

[0040]

Processing progresses to step 316 in the end of a pattern. In the end of a test pattern, the number of strobes with HI value has Signal Sin equal to the number of the strobes which were not in agreement with the expected value by which the actual measurement was programmed. This value is saved in the defect processing circuit 124 as a defect count.

[0041]

Only two or more counts to which the pattern performed in step 314 for measurement of a duty cycle is indicated to be Y here are repeated. A defect's total recorded in all the repeats of a pattern is shown as Z. When the defect count saved by the defect processing circuit 124 is reset after each pattern, the data analysis circuit 122 accumulates the number of defects in all the patterns used in the process shown by drawing 3. The data analysis circuit 122 can read a defect count from the defect processing circuit 124 in the end of each pattern, and can apply the value to the accumulated defect count which is reset in the beginning of the process shown by drawing 3.

[0042]

In step 318, the test pattern explained at step 314 checks about whether only the count needed was repeated. If only the count still needed is not repeated, processing progresses to step 320. In step 320, the strobe time amount set up in step 312 is increased. In drawing 2 C, the increment in this strobe time amount is indicated to be TI. Desirably, each strobe time amount shown in drawing 2 C is generated in the time amount mutually connected with the period of the signal Sin shown in drawing 2 A. However, each strobe time amount expressed in drawing 2 C generates only time amount TI later than the corresponding strobe signal shown in drawing 2 B. Increasing strobe time amount is measured to the strobe timing shown by drawing 2 B, it depends, and has the effectiveness which measures the value of Signal Sin on the slightly late point in a period. Desirably, the resolution of spacing TI is set as the value for which it was suitable in order to judge that the signal follows the specification. For example, if a duty cycle specification asks for having **0.5% of duty cycle 50% to a signal, it will be desirable for a signal cycle to be equal to 0.05%, and to set up TI. For example, TI may be equal to 1/200 of the periods of Signal Sin. In this setup, the value (the count by which a pattern is performed is shown) of Y may be 200.

[0043]

Irrespective of the specific selected value, the loop formation containing steps 314, 316, 318, and 320 is repeated until data are collected to a sufficient number of strobe time amount. If samples are collected in the time amount of a large number to the beginning of the period of an input signal and a sample is

desirably distributed equally covering the period, the number of strobe time amount will be enough.
[0044]

Collection of sufficient data advances processing to step 322. In step 322, the data analysis circuit 122 can calculate a duty cycle. According to the formula given upwards to the duty cycle, the value over a duty cycle can be determined by breaking the value of Z by the product of X and Y. Desirably, when this formula is used, two limits set to the value chosen to T1, T2, X, and Y. The 1st limit must be that a strobe is certainly divided equally through the whole measuring range, and the :value Y described as follows must be twice [positive-integer] the number of the quotient which broke T2 by T1 and was obtained. :X and the product of T2 which the 2nd limit is that measurement of the integer multiple of a signal cycle is ensured, and are described as follows must be twice [positive-integer] the number of the period of Signal Sin.

[0045]

In step 324, the calculated duty cycle is used in order to change the manufacture process of semiconductor components. Various correspondences to the measured duty cycle are possible. For example, the duty cycle measured to the device 110 of a sample offering may be measured with the specification over the type of device. If the duty cycle corresponds to the range of a specification, a device may be packed and may be sold as a practical device. Or when the device of a sample offering does not show the duty cycle of the range of a specification, a device may be canceled again. Or a device may be assigned to the lower speed bottle for speed components (speed bin) again. Then, a device may be packed suitably and may be marked.

[0046]

Or the result of duty cycle measurement may be used again in order to change the processing part of a manufacture process. As further alternative, in the result of duty cycle measurement, it may be used to a calibration or other processes, and the duty cycle of the device of a specific sample offering may be corrected by it.

[0047]

Thus, although some side faces of at least one example of this invention were explained, various modification, deformation, and amelioration will be easily made by this contractor.

[0048]

For example, it is shown that drawing 2 B is set up so that strobe time amount may have two samples per period of Signal Sin. Fewer samples may be collected in period. However, probably, it must double the value (the number of the increments in strobe time amount is shown) of Y, in order to obtain the same result. Or the number of the strobe time amount per period of Signal Sin may be larger than 2 again. Desirably, the number of the strobe time amount per period is even. The value of Y is made to decrease proportionally when the number of the strobe time amount per period is increased carelessly.

[0049]

Furthermore, it was explained in the top that strobe time amount was set up so that two samples per period of an input signal Sin might be collected. In relation to this setup, it was explained that the increment of a strobe was a part of period of Signal Sin equal to the reverse of a value Y. With two samples per period, this combination of a value makes the situation that a value Y is a value which hung the quotient which divided T2 into the integer multiple of 2 in T1. If the value of Y which hangs the quotient which divided T2 into 2 or the integer multiple of the numeric value beyond it by T1, and is obtained is used, it has the additional equalization effectiveness and the weakness to the noise of the test approach should be decreased further. However, it is not needed to suitable actuation of a technique.

[0050]

Furthermore, the circuit tester 100 explained that it had the differential comparator 116 which has the offset value Vod controllable by the program. Other circuit elements may be used instead. For example, this invention is illustrated by the system which measures the duty cycle of a differential signal.

Although duty cycle measurement is useful, especially concerning the high speed signal which tends to be a differential signal, application of this invention is not restricted such, but it may be used in order to measure the duty cycle about a single end form or the signal of other types. It is the middle point of

signal swing when the reference voltage which is a single end comparator rather and is chosen from the differential comparator in which the comparator 116 was shown by drawing 1 is usually expected to the measurement about a single end form signal.

[0051]

Moreover, a comparator is described generating the logical signal which shows whether the input is over the threshold, or it is under a threshold. If a comparator has the output signal which has only two possible conditions, it will be explained in a top. However, some comparators output the signal according to individual, in order to show the condition according to individual. One signal is used in order to show that the input is over the threshold which shows effective HI condition, and a separate signal may be used in order to show that an input is under the threshold which shows effective LO condition. Such two comparators show the condition of many signals. It can show that a signal is HI or LO. Moreover, it can show that a signal has an in-between condition or the condition of the undefined. Such a comparator may be used in the process explained in the top by setting LO threshold as a required reference value, and setting HI threshold as other additional values. LO threshold is important. It is because the pattern programmed so that the technique expects logical LO output from a comparator 116 to all measurement by the comparator 116 is explained. Moreover, although the reverse approach which programs a pattern is also effective so that logical HI may be expected to all measurement by the comparator 116 using HI threshold, probably, a formula, such as calculating a duty cycle in that case, needs to be corrected for a while according to this approach.

[0052]

Furthermore, the sample is described by by increasing strobe time amount between patterns being collected over various strobe time amount. The sequence that samples are collected is not important. The permissible result should be given, when it migrates to all the range of spacing of an interested signal and brings about the same sample distribution, no matter it may collect samples in what sequence.

Desirably, sample distribution should be uniform over all the range of interested spacing.

[0053]

Moreover, optimization of the test time amount by reducing the required number of repeats of a pattern expressed by the value Y by combining the principle of this technique with use of timing edge retrieval is attained. In this approach, spacing between the strobes shown with a value T2 must synchronize with the period of an input signal Sin. This is whether the positive-integer multiple of a strobe is always in per period of Signal Sin, and the same is said of reverse. In optimization of this test time amount, in the period of the signal Sin including electrical-potential-difference transition, the timing edge retrieval technique will be used in order to determine the quickly coarse timing range. Consequently, probably, the data collection process shown by the loop formation of steps 314, 316, 318, and 320 is only needed from drawing 3 in this narrower range in which existence of a signal edge has become clear. All the things out of this range are correctly predicted to have the defect count Z equal to the one half of the total of Strobe X. When it turns out that electrical-potential-difference transition appears only in plus [of a signal cycle], or minus 5% as an example to the strobe location N, the product of T1 and Y is reduced so that only 10% of this part of a signal cycle may be covered, and brings about reduction of a single figure in the required number of a process repeat.

[0054]

Such modification, deformation, and amelioration are a part of this indication, and are in the pneuma of this invention, and the range. Therefore, the above explanation and a drawing are shown only as an example.

[0055]

It does not mean being drawn so that an accompanying drawing may be proportional with a fixed scale. Each which is shown in various drawings is the same, or the almost same component is expressed in a drawing by the same figure. For plainness, the label of all the components cannot necessarily be carried out with all drawings.

[Brief Description of the Drawings]

[0056]

[Drawing 1] It is the outline sketch which illustrates some useful automatic check systems in measurement of a duty cycle.

[Drawing 2] (A) - (C) is a useful outline sketch in an understanding of the approach of measuring a duty cycle.

[Drawing 3] In an understanding of the approach of measuring a duty cycle, it is a useful flow chart.

[Description of Notations]

[0057]

100 Circuit Tester

110 Device

116 Differential Comparator

118 Timing Generator

120 Control Logic

122 Data Analysis Circuit

124 Defect Processing Circuit

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

It is the approach of measuring the duty cycle of spacing of a signal which consists of the following three steps,

- a) Offer the repeat of spacing of said signal as an input signal,
- b) In the time amount controlled to the beginning of the repeat of said spacing, perform two or more comparisons with the value of said input signal, and a threshold, and perform two or more comparisons, changing said controlled time amount,
- c) Calculate a duty cycle based on the number of the comparisons which have the value of the range beforehand decided to said threshold.

How to measure the duty cycle of spacing of the signal characterized by things.

[Claim 2]

The approach characterized by for said signal being a digital clock and said spacing being the positive-integer multiple of the period of said clock in an approach according to claim 1.

[Claim 3]

The approach characterized by said signal being a differential signal in an approach according to claim 1.

[Claim 4]

The approach that said input signal is a differential signal which has two feet in an approach according to claim 3, and the comparison with the value of said input signal and a threshold is characterized by consisting of a comparison with the difference of the electrical potential difference between said feet, and said threshold.

[Claim 5]

The approach that the value which said threshold shows is characterized by being the value which has an electrical potential difference with said two equal feet in the value in an approach according to claim 4.

[Claim 6]

The approach characterized by using an automatic test equipment and performing in order that said approach may perform said two or more comparisons and may change said controlled time amount in an approach according to claim 1.

[Claim 7]

The approach characterized by consisting of two or more comparisons counting the number of the comparisons which have the value of said range decided beforehand to said threshold in an approach according to claim 6.

[Claim 8]

The approach characterized by generating said signal in an approach according to claim 6 by the semiconductor device of a sample offering connected to said automatic test equipment.

[Claim 9]

The approach characterized by consisting of two or more comparisons using the comparator which has a

strobe input in an approach according to claim 7.

[Claim 10]

The approach characterized by for said automatic test equipment consisting of a timing generator controllable by the program which supplies the timing signal combined with the strobe input of said comparator in an approach according to claim 9, and consisting of changing said programming of said timing generator in order that changing said controlled time amount may change the time amount of said timing signal in the strobe input to said comparator.

[Claim 11]

The approach characterized by for two or more comparisons consisting a test pattern of multiple times and performing, and changing said controlled time amount consisting of changing said controlled time amount in the intervals of activation of said test pattern, and activation in an approach according to claim 7.

[Claim 12]

The approach characterized by for said pattern controlling a circuit tester in an approach according to claim 11 in order to collect the samples of X individual, and repeating said pattern Y times.

[Claim 13]

The approach that said duty cycle is characterized by being calculated by breaking the number of the counted comparisons by the product of X and Y in an approach according to claim 12.

[Claim 14]

The approach which said automatic test equipment is used for the process which makes a semiconductor device in an approach according to claim 7, and is characterized by being used in order to change said process from which said duty cycle of the signal made by the semiconductor device currently manufactured is measured, and said calculated duty cycle makes a semiconductor device.

[Claim 15]

The approach characterized by changing said process which makes a semiconductor device in an approach according to claim 14 by sorting out the semiconductor device which has a duty cycle in the range beforehand decided to the further processing.

[Claim 16]

The approach characterized by changing said process which makes a semiconductor device by carrying out speed BININGU (speed binning) of the semiconductor device in an approach according to claim 14 based on said duty cycle of said device.

[Claim 17]

The approach characterized by changing said process which makes a semiconductor device by adjusting the parameter of a processing facility in an approach according to claim 14 based on the statistical property of said measured duty cycle of the signal generated by two or more semiconductor devices currently manufactured.

[Claim 18]

The approach characterized by being controlled so that two or more comparisons are performed in an approach according to claim 1 in the time amount over the beginning of the repeat of said spacing over which said controlled time amount is uniformly distributed over all the range of said spacing.

[Claim 19]

It is the approach of measuring the duty cycle of a signal using an automatic test equipment programmable to perform a test pattern. Said automatic test equipment i) The timing generator which generates a strobe signal to time amount controllable by the program, ii) A comparator programmable to carry out the comparison with the value and expected value in an input to the time amount controlled by the strobe signal from said timing generator, iii) It has the defect processing circuit which said value in said input of said comparator can control to count the number of such comparisons which shows that it deviates from the expected value between patterns and which was combined with the output of said comparator, and said approach consists of the following five steps

a) Offer said signal as an input to said comparator,

b) Perform a pattern with said timing generator programmed to make the strobe signal which has the

relation of the first time amount with said signal, and program said pattern so that it may be the value which shows that said expected value of said comparator has said signal in the 1st logical condition,

c) In the end of said pattern, said value in the input of said comparator records the count of the comparison performed by said defect processing circuit which shows that it deviates from said expected value,

d) In order to make the strobe signal which has the relation of different time amount with said signal, repeat and change said programming of said timing generator, rerun said pattern, and said value in the input of said comparator performed by said defect processing circuit records the count of the comparison which shows that it deviates from said expected value,

e) The approach of measuring the duty cycle of a signal using an automatic test equipment programmable to perform the test pattern characterized by calculating said duty cycle of said signal from the total of the comparison which shows that said value in the input of said comparator performed by said defect processing circuit deviates from said expected value.

[Claim 20]

The approach characterized by modification of said programming of said timing generator consisting of a part of period of said signal, i.e., said programmed time amount of said strobe signal, increasing in an approach according to claim 19.

[Claim 21]

The approach that said strobe signal is characterized by having said signal to which two or more comparisons with said signal are made to carry out at said comparator at each period of said signal, and the relation of time amount in an approach according to claim 19.

[Claim 22]

It is the automatic test equipment programmed to measure the duty cycle of an input signal,

i) Timing generator which generates a strobe signal in time amount controllable by the program,

ii) Comparator which has the digital output which can set to the time amount on which it decided in the signal input combined with said input signal, the strobe input combined with said timing generator, the threshold input, and the condition depending on the relative level in said signal input and said strobe input, comes, is, and has the markup force,

iii) Said value in said input of said comparator was combined with the output of said comparator controllable to count the number of the digital outputs of such said comparator which show that it deviates from expected value controllable by the program. Defect processing circuit,

iv) In order to perform the approach of consisting of the following three steps, it is the software program which controls said automatic check system,

a) Perform a pattern with said timing generator programmed to make the strobe signal which has the relation of the first time amount with said signal, and program said pattern so that it may be the value which shows that said expected value of said comparator has said signal in the 1st logical condition,

b) In order to make the strobe signal which has the relation of different time amount with said signal, repeat and change said programming of said timing generator, and rerun said pattern,

c) Said value in the input of said comparator calculates said duty cycle of said signal from one or more values counted by said defect processing circuit which shows the total of the comparison between all the repeats of said pattern in which deviating from said programmed expected value is shown.

The software program which controls said automatic check system in order to perform the approach of consisting of things,

since -- the automatic test equipment programmed to measure the duty cycle of the input signal characterized by becoming.

[Claim 23]

The automatic test equipment characterized by said comparator being a differential comparator in an automatic test equipment according to claim 22.

[Claim 24]

said software which moves on a general purpose digital computer and said general purpose digital computer further in an automatic test equipment according to claim 22 -- since -- the automatic test

equipment characterized by becoming.

[Translation done.]

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)

L7: Entry 15 of 69

File: JPAB

Oct 20, 2005

PUB-N0: JP02005292135A
DOCUMENT-IDENTIFIER: JP 2005292135 A
TITLE: HOW TO MEASURE DUTY CYCLE

PUBN-DATE: October 20, 2005

INVENTOR-INFORMATION:

NAME	COUNTRY
BELLEAU, RAOUL J	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TERADYNE INC	

APPL-N0: JP2005086530
APPL-DATE: March 24, 2005

PRIORITY-DATA: 2004US-815024 (March 31, 2004)

INT-CL (IPC): G01 R 29/02; G01 R 31/28

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method which enables measurement of duty cycle in signal, without requiring dedicated analog instruments.

SOLUTION: This measuring method is sufficiently speedy, to allow measurement of duty cycle in a semiconductor component during manufacture. This method also can be provided at low cost, by using an automatic test equipment. A comparator of digital channels is used to read the input signal status at plural points throughout the signal cycle. A failure processing circuit in the testing unit is used to count the number of samples, wherein input signal is in a logic HI state. This value is scaled by the total number of samples collected for providing one number which indicates the duty cycle of the signal.

COPYRIGHT: (C)2006, JPO&NCIPI

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-292135

(P2005-292135A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷
GO1R 29/02
GO1R 31/28

F 1
GO1R 29/02
GO1R 31/28

C
M

テーマコード(参考)
2G132

審査請求 未請求 請求項の数 24 O L (全 16 頁)

(21) 出願番号 特願2005-86530(P2005-86530)
(22) 出願日 平成17年3月24日(2005.3.24)
(31) 優先権主張番号 10/815024
(32) 優先日 平成16年3月31日(2004.3.31)
(33) 優先権主張国 米国(US)

(71) 出願人 505108638
テラダイン インク
アメリカ合衆国 エム エー 02118
、ボストン、ハリソン アベニュー 32
1
(74) 代理人 100064584
弁理士 江原 省吾
(74) 代理人 100093997
弁理士 田中 秀佳
(74) 代理人 100101616
弁理士 白石 吉之
(74) 代理人 100107423
弁理士 城村 邦彦
(74) 代理人 100120949
弁理士 熊野 剛

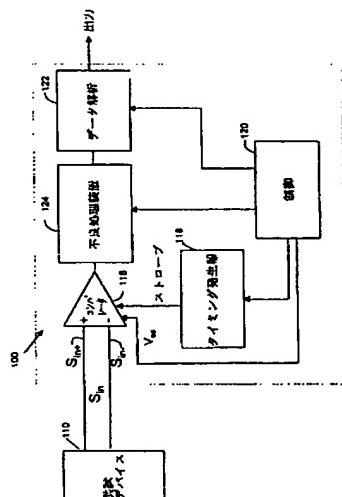
最終頁に続く

(54) 【発明の名称】 デューティサイクルを測定する方法

(57) 【要約】

【課題】信号のデューティサイクルを測定する方法。
【解決手段】前記方法は、製造中に半導体構成部品のデューティサイクル測定が行えるほど十分に速い。また前記方法は、自動試験装置を用いて安価に実行できる。デジタルチャンネルのコンパレータは、信号の周期全体の複数のポイントにおける入力信号の状態を読み取るために用いられる。テストの中の不良処理回路は、入力信号が論理H/I状態にあるサンプルの数を数えるために用いられる。この値は、信号のデューティサイクルを示す1つの数を与えるために収集されたサンプルの総数によってスケーリングされる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

次の3つのステップからなる、信号の間隔のデューティサイクルを測定する方法であって

- a) 前記信号の間隔の繰り返しを入力信号として提供し、
 - b) 前記間隔の繰り返しの始まりに対して制御された時間において、前記入力信号の値としきい値との複数の比較を行い、前記制御された時間を変化させながら複数の比較を行い、
 - c) 前記しきい値に対してあらかじめ決められた範囲の値を有する比較の数に基づいて、デューティサイクルを計算する
- ことを特徴とする信号の間隔のデューティサイクルを測定する方法。

10

【請求項 2】

請求項1に記載の方法において、前記信号がデジタルクロックであり、前記間隔が前記クロックの周期の正整数倍数であることを特徴とする方法。

【請求項 3】

請求項1に記載の方法において、前記信号が差動信号であることを特徴とする方法。

【請求項 4】

請求項3に記載の方法において、前記入力信号が2本の脚を有する差動信号であり、前記入力信号の値としきい値との比較が、前記脚の間の電圧の差と前記しきい値との比較からなることを特徴とする方法。

20

【請求項 5】

請求項4に記載の方法において、前記しきい値の示す値が、その値において、前記2本の脚が等しい電圧を有するような値であることを特徴とする方法。

【請求項 6】

請求項1に記載の方法において、前記方法が、前記複数の比較を行い、前記制御された時間を変化させるために、自動試験装置を用いて実行されることを特徴とする方法。

【請求項 7】

請求項6に記載の方法において、複数の比較が、前記しきい値に対して前記あらかじめ決められた範囲の値を有する比較の数を数えることからなることを特徴とする方法。

【請求項 8】

請求項6に記載の方法において、前記信号が、前記自動試験装置に接続された供試の半導体デバイスによって生成されることを特徴とする方法。

30

【請求項 9】

請求項7に記載の方法において、複数の比較が、ストローブ入力を有するコンパレータを用いることからなることを特徴とする方法。

【請求項 10】

請求項9に記載の方法において、前記自動試験装置が、前記コンパレータのストローブ入力と結合されたタイミング信号を供給する、プログラムで制御できるタイミング発生器からなり、前記制御された時間を変化させることができ、前記コンパレータへのストローブ入力における前記タイミング信号の時間を変えるために、前記タイミング発生器の前記プログラミングを変えることからなることを特徴とする方法。

40

【請求項 11】

請求項7に記載の方法において、複数の比較が、テストパターンを複数回、実行することからなり、前記制御された時間を変化させることができ、前記テストパターンの実行と実行の合間に前記制御された時間を変化させることからなることを特徴とする方法。

【請求項 12】

請求項11に記載の方法において、前記パターンが、X個のサンプルを収集するためにテスタを制御し、前記パターンが、Y回繰り返されることを特徴とする方法。

【請求項 13】

請求項12に記載の方法において、前記デューティサイクルが、数えられた比較の数を、

50

XとYの積で割ることによって計算されることを特徴とする方法。

【請求項14】

請求項7に記載の方法において、前記自動試験装置が、半導体デバイスを作るプロセスに用いられ、製造されている半導体デバイスによって作られる信号の前記デューティサイクルを測定し、前記計算されたデューティサイクルが、半導体デバイスを作る前記プロセスを変更するために用いられることを特徴とする方法。

【請求項15】

請求項14に記載の方法において、半導体デバイスを作る前記プロセスが、さらなる処理に対してあらかじめ決められた範囲の中にあるデューティサイクルを有する半導体デバイスを選別することによって、変更されることを特徴とする方法。

10

【請求項16】

請求項14に記載の方法において、半導体デバイスを作る前記プロセスが、前記デバイスの前記デューティサイクルに基づき、半導体デバイスをスピードビニング(s p e e d b i n n i n g)することによって、変更されることを特徴とする方法。

【請求項17】

請求項14に記載の方法において、半導体デバイスを作る前記プロセスが、製造されている複数の半導体デバイスによって生成される信号の前記測定されたデューティサイクルの統計的性質に基づき、加工設備のパラメータを調整することによって、変更されることを特徴とする方法。

【請求項18】

請求項1に記載の方法において、前記制御された時間が、前記間隔の全範囲にわたって一様に分布する前記間隔の繰り返しの始まりに対する時間において、複数の比較が行われるように制御されることを特徴とする方法。

20

【請求項19】

テストパターンを実行するようにプログラムできる自動試験装置を用いた、信号のデューティサイクルを測定する方法であって、前記自動試験装置は、i) プログラムで制御できる時間にストローブ信号を生成するタイミング発生器と、ii) 前記タイミング発生器からのストローブ信号によって制御される時間に、入力における値と期待値との比較を行うようにプログラムできるコンパレータと、iii) 前記コンパレータの前記入力における前記値が、パターンの間の期待値から逸脱することを示す、そのような比較の数を数えるように制御できる、前記コンパレータの出力と結合された不良処理回路と、を有し、前記方法は次の5つのステップからなり、

30

a) 前記コンパレータへの入力として前記信号を提供し、

b) 前記信号との初めての時間の関係を有するストローブ信号を作り出すようにプログラムされた前記タイミング発生器でパターンを実行し、前記パターンは、前記コンパレータの前記期待値が、前記信号が第1の論理的な状態にあることを示す値であるようにプログラミングし、

c) 前記パターンの終わりにおいて、前記コンパレータの入力における前記値が前記期待値から逸脱することを示す、前記不良処理回路によって行われた比較のカウントを記録し、

40

d) 前記信号との異なった時間の関係を有するストローブ信号を作り出すために、前記タイミング発生器の前記プログラミングを繰り返し変更し、前記パターンを再実行し、前記不良処理回路によって行われた、前記コンパレータの入力における前記値が前記期待値から逸脱することを示す比較のカウントを記録し、

e) 前記不良処理回路によって行われた、前記コンパレータの入力における前記値が前記期待値から逸脱することを示す比較の総数から、前記信号の前記デューティサイクルを計算することを特徴とするテストパターンを実行するようにプログラムできる自動試験装置を用いた、信号のデューティサイクルを測定する方法。

【請求項20】

請求項19に記載の方法において、前記タイミング発生器の前記プログラミングの変更が

50

、前記信号の周期の一部分だけ、すなわち前記ストローブ信号の前記プログラムされた時間だけ増加することからなることを特徴とする方法。

【請求項 2 1】

請求項 1 9 に記載の方法において、前記ストローブ信号が、前記信号の各周期に前記コンパレータに前記信号との複数の比較を行わせる前記信号と、時間の関係を有することを特徴とする方法。

【請求項 2 2】

入力信号のデューティサイクルを測定するようにプログラムされた自動試験装置であって

1) プログラムで制御できる時間において、ストローブ信号を生成するタイミング 10 発生器と、

i i) 前記入力信号と結合された信号入力と、前記タイミング発生器と結合されたストローブ入力と、しきい値入力と、前記信号入力における相対的なレベルに依存する状態および前記ストローブ入力で決められた時間におけるしきい値入力を有するデジタル出力と、を有するコンパレータと、

i i i) 前記コンパレータの前記入力における前記値が、プログラムで制御できる期待値から逸脱することを示す、そのような前記コンパレータのデジタル出力の数を数えるように制御できる、前記コンパレータの出力と結合された 不良処理回路と、

i v) 次の 3 つのステップからなる方法を実行するために前記自動検査システムを制御するソフトウェアプログラムであって、 20

a) 前記信号との初めての時間の関係を有するストローブ信号を作り出すようにプログラムされた前記タイミング発生器でパターンを実行し、前記パターンは、前記コンパレータの前記期待値が、前記信号が第 1 の論理的な状態にあることを示す値であるようにプログラミングし、

b) 前記信号との異なった時間の関係を有するストローブ信号を作り出すために、前記タイミング発生器の前記プログラミングを繰り返し変更し、前記パターンを再実行し、

c) 前記コンパレータの入力における前記値が前記プログラムされた期待値から逸脱することを示す、前記パターンのすべての繰り返しの間の比較の総数を示す、前記不良処理回路によって数えられた 1 つ以上の値から前記信号の前記デューティサイクルを計算する 30

ことからなる方法を実行するために前記自動検査システムを制御するソフトウェアプログラムと、

からなることを特徴とする入力信号のデューティサイクルを測定するようにプログラムされた自動試験装置。

【請求項 2 3】

請求項 2 2 に記載の自動試験装置において、前記コンパレータが差動コンパレータであることを特徴とする自動試験装置。

【請求項 2 4】

請求項 2 2 に記載の自動試験装置において、さらに、汎用デジタルコンピュータと、前記汎用デジタルコンピュータ上で動く前記ソフトウェアと、からなることを特徴とする自動試験装置。 40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本出願は、一般に、自動試験装置に関する。より詳しくは、自動試験装置を用いたデューティサイクルの測定に関する。

【背景技術】

【0 0 0 2】

半導体チップなどの電子部品の製造において、電気信号に関するパラメータを測定する必 50

要がしばしば生じる。前記測定されたパラメータを期待値と比較することによって、不正確に動作する構成部品を発見できる。構成部品が設計されている間に不正確な動作を発見することによって、デザインを改良するための情報を提供できる。

【0003】

製造中、作られるあらゆる構成部品は、しばしば少なくとも一度はテストされる。時々、半導体部品はまだウェハの一部である時にさえ、または、製造プロセスの何らかの中間的ステージにおいてさえ、テストされる。この中間的ステージにおいて不正確に動作する構成部品は、さらなる処理にかかる費用を節約するために単に捨てられるかもしれない。他の場合には、前記テストの結果は、欠陥がある構成部品の数を減少させるために製造作業を変更するのに使用される。例えば、収量管理ソフトウェアは、多くの構成部品で見つけられた不良を集め、前記構成部品の製造において、キャリブレーションからはずれている製造装置または他の問題を特定する。前記製造プロセスを変更し、これらの問題を取り除くことによって、前記プロセスにおける完全に機能する構成部品の収量が、より高い割合となる。

10

【0004】

また、テストの結果は、他の方法で前記製造作業を変更するためにも使用できる。例えば、不正確に動作する構成部品は、レーザトリミングまたは組み込みタイプの較正回路などを用いて、満足に動作するように変更されるかもしれない。あるいはまた、テストは構成部品を「ビニングする（b i n n i n g）」ために用いられるかもしれない。あるテスト条件の下で予想されるように働くかない構成部品であっても、他のそれほど厳しくない条件の下では適切に働くかもしれない。例えば、125°Cの温度では不正確に動作する構成部品が、105°Cでは適切に働くかもしれない。これらの構成部品は、低温度領域用の製品として標記され販売されるかもしれない。同様に、高いクロックレートでは正しく動作しない構成部品は、より低いクロックレートにおけるすべての動作上の必要条件を満たすかもしれない。これらの構成部品は、より低いクロックレートにおける動作作用として販売されるかもしれない。テストの結果にしたがって、構成部品に最大の稼働率を割り当てるこことは、時々「スピードビニング（s p e e d b i n n i n g）」と呼ばれる。

20

【0005】

時々テスタとされることのある自動試験装置は、半導体部品を迅速にテストするように設計されている。製造されているあらゆる構成部品を経済的にテストするために、自動試験装置は、数秒などの短時間に構成部品についての完全なテストを実施しなければならない。自動試験装置は、しばしば、複数のデジタルチャンネルを備え、個々のデジタルチャンネルは、1つのテストポイントに対して、デジタル信号を発生させることも、測定することもどちらも可能である。

30

【0006】

テスタは「パターン」を実行する。パターンは、テスタに、ある1つのテストまたは複数のテストを実行させるプログラムである。パターンは一続きのベクトルを含んでいる。各ベクトルは、1周期の前記テスタの動作の間のすべての前記デジタルチャンネルの動作を指定する。前記テスタは、矢つぎばやに前記ベクトルを実行し、必要な一連の刺激信号（s t i m u l u s s i g n a l）と測定値を創出する。供試の構成部品が前記テストの間に動作する速度を設定するために、前記ベクトルのタイミングを制御することができる。

40

【0007】

各ベクトルが各チャンネルに対して、特定のサイクルの間、そのチャンネルが信号を発生させることになっているのか、または信号を測定することになっているのかを指定する。前記チャンネルが信号を発生させることになっている場合、前記ベクトルは、前記信号がH IかL Oのどちらの論理値を有するべきかを指定する。逆に、前記チャンネルが信号を測定することになっている場合、前記ベクトルは前記信号の期待値を指定する。測定時に、測定信号に期待値がない場合、前記チャンネルは不良信号（f a i l s i g n a l）を出力する。

50

【0008】

また、テスタは他の動作パラメータを制御するようにプログラムすることができる。例えば、通常、論理的H Iまたは論理的L O信号に対応する電圧レベルをプログラムすることができる。さらに、イベントが1サイクル以内に起こるタイミングをプログラムすることができる。前記サイクルの始まりに対して、前記チャンネルが出力値を加えるべき時間をプログラムすることができる。また同様に、前記サイクルの始まりに対して、前記チャンネルがその値を測定するために前記信号をサンプリングするべき時間をプログラムすることができる。サンプルが作られるべき時間は、時々「ストローブ」時間と呼ばれる。

【0009】

前記テスタは、前記チャンネルによって発生された前記不良信号を捕捉する不良処理回路を備える。不良に関するこの情報は、欠陥がある構成部品を特定するのに使用され、あるいは、前記構成部品のデザインに関する問題を診断する助けとして、または、前記構成部品を作るために用いられる製造作業に関する問題を診断する助けとして使用される。不良処理回路が実行できる1つの簡単な機能は、パターンの間における各チャンネルの不良の数を数えることである。

10

【0010】

デジタルチャンネルは、デジタル値を発生し、および測定するように設計されている。伝統的に、デジタルチャンネルを用いるテストとは、デバイスが、予想される時間において論理H Iを出力するか、論理L Oを出力するかをチェックすることを意味する。テスタは、しばしばアナログ信号を発生するか、または測定するための「計器」を備える。例えば、任意波形装置はアナログ信号を発生し、その波形は、ほとんどどんな形でもプログラム可能である。他の計器は、パワースペクトル密度またはアナログ信号の他の特性を見つけるなどのために、迅速にアナログ信号を抽出し、捕捉されたサンプルに関する高度な信号処理機能を実行するかもしれない。さらに、他の計器は信号におけるジターを測定するかもしれない。

20

【0011】

測定することが望ましいかもしれない信号の1つのパラメータは、クロック信号のデューティサイクルである。伝統的に、前記デューティサイクルは、オシロスコープなどのベンチトップの計器を用いて測定してきた。そのような測定は、構成部品がすぐにテストされなければならない製造プロセスにおける使用には適していない。これまで、一般に、構成部品の前記デューティサイクルは、「設計上保証されて」きた。すなわち、それは前記構成部品が、あるデューティサイクルで信号を作り出すように設計されたことを意味するが、しかし、製造された各構成部品は、設計通りであることを確かめるためのテストを行われなかった。

30

【0012】

我々は、このアプローチが、半導体部品がより高速で動作する時、半導体部品の購入者にそれほど適していないであろうことを認めた。一般に、適切に機能している構成部品に対する予想されるデューティサイクルの範囲は、実働期間の割合として指定される。クロック周波数が増加するのに従って、前記期間は、より小さくなり、前記デューティサイクルにおける許容できる逸脱は、より小さい。より小さい許容できる逸脱で、製造されるすべての構成部品が仕様を満たすことを保証するために、テストがより要求されそうである。トリミング、キャリブレーション、またはスピードビニングが、必要とされる仕様を満たす構成部品を提供するために、より必要とされそうである。我々は、特別な計器を必要とすること無く、構成部品の製造中に、構成部品のデューティサイクルを測定する簡易迅速な方法を提供することが望ましいであろうと認識した。

40

【0013】

これまで、いくつかのアナログパラメータが、特別な計器無しで測定してきた。前記テスタの前記デジタルチャンネルが、時々、アナログ型の測定を行うようにプログラムされる。1つの例は、時々「タイミング検索 (t i m i n g s e a r c h)」と呼ばれる「エッジファインド」ルーチンである。「エッジファインド」は、デジタル信号が1つの状

50

態から別の状態に移行するように、信号が事前に定義された電圧（すなわち、エッジ）を介して移行する時間を特定する。

【0014】

エッジファインドを実行するために、前記信号が前記テスタのチャンネルに印加される。前記印加される信号は、前記エッジの周期的なコピーを含まなければならない。前記エッジの周期的なコピーは本来クロックなどの周期信号において含まれている。前記信号が本来周期的ではない場合、エッジを含む前記信号の一部を繰返し生成することによって、周期信号を生成できる。前記エッジファインドルーチンがテスタによって実行される場合、全体のテストパターンを繰返し実行するか、あるいはまた、前記テストパターンのサブセットをループ状に繰り返すことによって、信号の一部を繰返し生成するように供試の構成部品が制御される。

10

【0015】

1つのテストベクトルについてのエッジファインド測定の例として、前記信号を受け取る前記デジタルチャンネルが、前記信号の値を測定し、前記値が論理的なLOであると期待するようにプログラムされる。前記チャンネルが、しきい値電圧より下にある値を有するあらゆる信号をLO信号として認識するようにプログラムされる。前記しきい値は前記エッジの平均近くにあるように設定される。前記信号の値がこのしきい値を超えている時、前記チャンネルは前記測定が「不良である」と示す。前記信号の電圧がしきい値の下にある時、逆に、前記チャンネルはパスを示す。

20

【0016】

この測定は1つのストローブ時間における前記信号の値の情報を提供する。エッジファインドルーチンにおいて、測定は多くのストローブ時間に対して繰り返される。前記ストローブ時間は、特定の時間差を有する2つのストローブポイントを探す連続した測定の間、増加され、それらの2つのストローブポイントは、異なった結果を報告する（例えば、1つのストローブポイントではパスと報告し、そして、他のストローブポイントでは不良と報告する）。これらのストローブポイントの前記時間差は、しばしば測定分解能として記述される。その理由は、前記信号遷移がこれらの2ポイントの間のどこかで起こることが知られているためである。最小数のストローブポイントで、必要な分解能における変遷ポイントを見つけるという目標に対して、複数の探索アルゴリズムが適用されてきた。

30

【0017】

そのようなテクニックは有用だが、迅速にわずかの費用で信号の前記デューティサイクルを測定する方法の必要性は依然として存在している。

【発明の開示】

【発明が解決しようとする課題】

【0018】

本発明は、信号のデューティサイクルを測定する改良された方法に関する。

【課題を解決するための手段】

【0019】

1つの側面において、本発明は、前記信号の間隔の繰り返しを入力信号として提供し、前記間隔の繰り返しの始まりに対して制御された時間において、前記入力信号の値としきい値との複数の比較を行うことからなる、信号の間隔のデューティサイクルを測定する方法に関する。前記複数の比較を行う部分では、前記制御された時間は様々である。前記デューティサイクルは、前記しきい値に対してあらかじめ決められた範囲の値を有する比較の数に基づいて計算される。

40

【0020】

もう1つの側面において、本発明は、テストパターンを実行するようにプログラムできる自動試験装置を用いて信号の前記デューティサイクルを測定する方法に関する。前記方法は、i) プログラムで制御できる時間においてストローブ信号を生成するタイミング発生器と、ii) 前記タイミング発生器からのストローブ信号によって制御される時間に、入力における値と期待値との比較を行うようにプログラムできるコンパレータと、iii)

50

1) 前記コンパレータの入力における値が、パターンの間の前記期待値から逸脱していることを示す比較の数を数えるように制御できる前記コンパレータの、その出力と結合された不良処理回路と、を有する自動試験装置との関連において役に立つ。前記方法は、前記コンパレータへの入力として前記信号を提供し、前記信号との初めての時間の関係を有するストローブ信号を作り出すようにプログラムされた前記タイミング発生器で、パターンを実行し、ここで前記パターンは、前記コンパレータの前記期待値が、前記信号が第1の論理的な状態にあることを示す値であるようにプログラミングし、前記パターンの終わりにおいて、前記コンパレータの入力における前記値が前記期待値から逸脱することを示す、前記不良処理回路によって行われた比較のカウントを記録し、前記信号との異なった時間の関係を有するストローブ信号を作り出すために、前記タイミング発生器の前記プログラミングを繰り返し変更し、前記パターンを再実行し、前記不良処理回路によって行われた、前記コンパレータの入力における前記値が前記期待値から逸脱することを示す比較のカウントを記録することからなる。前記デューティサイクルは、前記不良処理回路によって行われた、前記コンパレータの入力における前記値が前記期待値から逸脱することを示す比較の総数から計算される。

10

【0021】

さらなる側面において、本発明は、入力信号のデューティサイクルを測定するようにプログラムされた自動試験装置に関する。そのような試験装置は、プログラムで制御できる時間においてストローブ信号を生成するタイミング発生器と、前記入力信号と結合された信号入力と、前記タイミング発生器と結合されたストローブ入力と、しきい値入力と、前記信号入力における相対的なレベルに依存する状態および前記ストローブ入力で決められた時間におけるしきい値入力を有するデジタル出力と、を有するコンパレータと、前記コンパレータの前記入力における前記値が、プログラムで制御できる期待値から逸脱することを示す、そのような前記コンパレータのデジタル出力の数を数えるように制御できる、前記コンパレータの出力と結合された不良処理回路と、からなる。ソフトウェアプログラムは、前記信号との初めての時間の関係を有するストローブ信号を作り出すようにプログラムされた前記タイミング発生器で、パターンを実行し、ここで前記パターンは、前記コンパレータの前記期待値が、前記信号が第1の論理的な状態にあることを示す値であるようにプログラミングし、前記入力信号との異なった時間の関係を有するストローブ信号を作り出すために、前記タイミング発生器の前記プログラミングを繰り返し変更し、前記パターンを再実行することからなる方法を実行するために前記自動検査システムを制御する。前記デューティサイクルは、前記コンパレータの入力における前記値が、前記プログラムされた期待値から逸脱することを示す、前記パターンのすべての繰り返しの間の比較の総数を示す、前記不良処理回路によって数えられた1つ以上の値から計算される。

20

【発明の効果】

【0022】

上で説明された方法は、専用のアナログ計器を必要とせずに、ダイレクトデューティサイクル測定を可能とする利点を有する。さらに、上で説明された方法は、本質的に高速信号で動作することができる、テスタ100のデジタルチャンネルの中で電子回路を利用する。したがって、このテクニックは、1Gb/s、または、より速いデータ信号速度を有する高速信号の測定に好適である。

40

【0023】

また、テクニックは比較的速いことについての利点を有する。このテスト方法の実行スピードの速さによって、製造されているあらゆる部品について、製造プロセスを過度に遅くすること無しにテストを実行することが可能となる。上で説明されたデューティサイクル測定を、半導体デバイスの製造において伝統的に用いられる自動試験装置によって実行できることは、利点である。コンパレータ、および従来の高速デジタルテスト用に使用される不良処理回路を、デューティサイクル測定を行うために使うことができる。

【発明を実施するための最良の形態】

【0024】

50

本発明は、その応用において、以下の説明で述べられ、または図面で図説されるところの、構造の詳細および構成要素の配置に制限されない。本発明は他の実施例が可能であり、実施され、または様々な方法で実行される。また、本明細書で用いられる言い回しおよび用語は、説明を目的とするものであり、制限と見なされるべきものではない。本明細書で用いられる「包含する」、「含む」、または「有する」、「入っている」、「関連する」、およびそれらの変形は、その後に示される品目、および付加的な品目だけでなくその品目の同等物をも包含することを意味する。

【0025】

図1は、非常に簡略化して描かれたテスタ100を示す。テスタ100は、市販のテスタであってもよく、例えば、Teradyne, Inc. of Boston, Massachusetts (マサチューセッツ州ボストンのテラダイン社) から販売されているTiger? (タイガー) テストシステムでもよい。

【0026】

テスタ100は、差動コンパレータ116を備える。差動コンパレータ116は、テスタ100のデジタルチャンネルにおける回路の一部であるかもしれない。簡単さのために、チャンネルの中の他の回路は示されない。同様に、テスタの中の他のチャンネルは示されないが、市販のテスタには、数百か千を超えるそのようなチャンネルがあるかもしれない。テスタのすべてのチャンネルが、図1で示されるような差動コンパレータを含んでいる必要はない。しかしながら、本明細書に説明されるテクニックは非常に速い信号に関して最も有用である。そのような信号は、差動信号として表される傾向がある。測定されるべき入力信号が差動である場合、このピンの組に接続されるテスタリソースが、図示されるような差動コンパレータ116を含んでいることが望ましい。逆に、測定されるべき入力信号がシングルエンドの場合、このピンに接続されるテスタリソースが、シングルエンド形コンパレータを含んでいることが望ましい。

20

【0027】

差動コンパレータ116は、その正および負の入力において信号の相対的なレベルを示す出力信号を発生する。図1において示された構成において、コンパレータ116の正の入力は、入力信号 S_{in+} の正の脚 S_{in+} に接続される。コンパレータ116の負の入力は、差動信号 S_{in-} の脚 S_{in-} に接続される。

30

【0028】

差動コンパレータ116は、しきい値 V_{od} を指定する入力を有する。コンパレータ116の正の入力における値が、 V_{od} に等しいか、または V_{od} より大きい量だけ負の入力における値を超えている時、コンパレータ116の出力は論理的なH Iを示す。 S_{in-} と S_{in+} の間の差が、しきい値 V_{od} より小さい場合、コンパレータ116の出力は論理的なL Oを示す。

【0029】

コンパレータ116が比較を行う時間は、タイミング発生器118によって生成されるストローブ信号によって決定される。望ましくは、タイミング発生器118は、ストローブ信号がアサートされる時間がプログラムできるような、プログラムで制御できるタイミング発生器である。

40

【0030】

タイミング発生器118は、同様に、制御論理120によって制御される。制御論理120は、専用ハードウェアとテスト機能を実行するようにプログラムできる汎用コンピュータの組み合わせでもよい。また、制御論理120は、コンパレータ116のしきい値 V_{od} を設定する信号を供給する。

【0031】

差動コンパレータ116の出力は、不良処理回路124に提供される。伝統的に不良処理回路124は、差動コンパレータ116によって行われた比較の結果を保存する高速メモリを備えている。望ましくは、不良処理回路は、テストパターンがテスタ100によって実行されているのと同じレートで、差動コンパレータ116の出力を捕捉する。非常に速

50

い動作を達成するために、不良処理回路は、コンパレータ 116 からの出力のストリームを表すデータをメモリで保存する際に、圧縮するかもしれない。例えば、不良処理回路 124 は、その測定信号が期待値を持たなかったことを示すコンパレータ 116 の出力だけを保存するかもしれない。しかしながら、不良処理回路 124 においてデータを保存するどんな便利な手段も用いることができる。

【0032】

また、テスタ 100 はデータ解析回路 122 を含んでいる。データ解析回路 122 は、専用ハードウェアとデータ解析機能を実行するようにプログラムされる汎用コンピュータの組み合わせであるかもしれない。データ解析は、制御論理 120 を実行するために用いられる同じ汎用コンピュータ上で実行可能かもしれない。データ解析回路 122 の他の機能の中で、信号 S_{1n} のデューティサイクルを計算することは、不良処理回路 124 においてデータを解析するようにプログラムされた好ましい実施例の中にある。

10

【0033】

図 1において、信号 S_{1n} が、供試のデバイス 110 によって生成される様子が示される。好ましい実施例において、供試のデバイス 110 は製造中にテストされる半導体部品である。

【0034】

図 2A は、デューティサイクル測定が実行されるかもしれない周期信号を図示する。そのような信号が、テスタ 100 に信号 S_{1n} として提供されるかもしれない。図 2A に示されるような周期信号は、デジタル論理システム用のクロックとしての機能を果たすかもしれない。

20

【0035】

図 2A は、信号 S_{1n} が複数の周期を有し、その中で信号が交互に H I 値と L O 値を取ることを示す。信号は、各周期内に、 T_H で示された時間に対する H I 値を有する。信号は、その同じ周期中に、時間 T_L に対する L O を有する。信号 S_{1n} のデューティサイクルを定義する複数の方法がある。本明細書に用いられた例では、デューティサイクルは次の等式で定義される。

$$\text{デューティサイクル} = .$$

T_H と T_L の値は、明瞭さのために、図 2A において信号 S_{1n} のある周期だけに対してラベルされている。信号の各周期は、それ自身の T_H と T_L の値を有する。デューティサイクルは、通常、信号測定ウィンドウにおけるすべての周期に対する T_H と T_L の平均値に基づいて規定される。この方法において、デューティサイクルに対する仕様はタイミングジッタの仕様とは別のものである。

30

【0036】

図 3 は、図 2A で示される信号 S_{1n} のデューティサイクルを測定するために図 1 の回路を用いるプロセスを示す。プロセスはステップ 310 で始まる。ステップ 310 において、基準レベル V_{od} が設定される。基準値は、通常、信号 S_{1n} が H I 状態に有る時のレベルおよび L O 状態にある時のレベルの間の、期待される中間のレベルに設定される。図 2A において図示された例では、信号 S_{1n} は正および負の値の間を対称的に振動する。したがって、この例においては基準レベルをゼロボルトに設定することが適切である。この設定では、コンパレータ 116 (図 1) は、信号 S_{1n} の異なった状態に対して異なった論理レベルの出力を発生させる。

40

【0037】

プロセスは、ストローブ時間が設定されるステップ 312 に進む。望ましくは、ストローブ時間は、初めは入力信号 S_{1n} のそれぞれの周期の始まりと同時に設定される。この状態は図 2B に図示される。図 2B は、ストローブ信号が、 T_2 と示されたストローブ間の時間間隔を有する状態で、規則的な、均等に区切られた間隔で発生することを示す。望ましくは、図 2B に示されるように、整数のストローブが、一定の間隔で入力信号 S_{1n} の各周期内に置かれる。

【0038】

50

図3に戻り、プロセスはステップ314に進む。ステップ314で、テスタ100は、ステップ310および312において設定された基準レベルおよびストローブ時間を用いて、テストパターンを実行する。このテストパターンにおいて、不良処理回路124が、コンパレータ116によるあらゆる測定に対して、コンパレータ116の低い出力を期待するようにプログラミングされる。このプログラミングで、不良処理回路124は、ストローブ信号の個々のアサーション(assertion)に対する不良を数え、その時、信号S_{1n}は高い状態にある。

【0039】

ステップ314において開始されたテストパターンは、入力信号S_{1n}についての比較動作を複数回実行する。テストパターンの1回の実行において行われる測定の数は、ここではXで示される。望ましくは、信号S_{1n}における、または測定プロセスにおけるノイズで引き起こされたジッタの影響を平均化するために、比較動作は複数の信号入力周期にわたって実行され、ほとんどのデューティサイクル仕様との調和を保つ。1つの例では、Xの値はおよそ1万である。しかしながら、信号におけるノイズの量、またはテストを実行するために使える時間の長さによって、より大きいか、またはより少ない数のサンプルが収集されるかもしれない。

10

【0040】

パターンの終わりにおいて、処理はステップ316に進む。テストパターンの終わりにおいて、信号S_{1n}がHIGH値を有したストローブの数は、実測値がプログラムされた期待値と一致しなかったストローブの数に等しい。この値は、不良カウントとして不良処理回路124の中に保存される。

20

【0041】

デューティサイクルの測定のために、ステップ314において実行されるパターンは、ここでYと示される複数の回数だけ繰り返される。パターンのすべての繰り返しにおいて記録された不良の総数は、Zとして示される。不良処理回路124によって保存される不良カウントが、各パターンの後にリセットされる場合、データ解析回路122は、図3で示されるプロセスにおいて用いられたすべてのパターンにおける不良の数を蓄積する。データ解析回路122は、それぞれのパターンの終わりにおいて不良処理回路124から不良カウントを読むことができ、図3で示されるプロセスの始まりにおいてリセットされる、蓄積された不良カウントにその値を加えることができる。

30

【0042】

ステップ318において、ステップ314で説明されたテストパターンが、必要とされる回数だけ繰り返されたかどうかに関してチェックをする。まだ必要とされる回数だけ繰り返されていなければ、処理は、ステップ320に進む。ステップ320において、ステップ312において設定されたストローブ時間が増加される。図2Cにおいて、このストローブ時間における増分はT₁と示される。望ましくは、図2Cに示される各ストローブ時間は、図2Aに示される信号S_{1n}の周期と互いに関連した時間に発生する。しかしながら、図2Cにおいて表現された各ストローブ時間は、図2Bに示される対応するストローブ信号より時間T₁だけ遅れて発生する。ストローブ時間を増加することは、図2Bで示されるストローブタイミングで測定されたより、周期におけるわずかに遅いポイントで信号S_{1n}の値を測定する効果がある。望ましくは、間隔T₁の分解能は、信号がその仕様に従っていることを判定するために適した値に設定される。例えばデューティサイクル仕様が、信号に対して50%±0.5%のデューティサイクルを有することを求めるならば、T₁を信号周期の0.05%に等しく設定することが望ましいであろう。例えば、T₁は信号S_{1n}の周期の1/200と等しいかもしれない。この設定で、Yの値(パターンが実行される回数を示す)は、200であるかもしれない。

40

【0043】

選ばれた特定の値にかかわらず、ステップ314、316、318、および320を含むループは、十分な数のストローブ時間に対してデータが収集されるまで繰り返される。望ましくは、入力信号の周期の始まりに対する多数の時間においてサンプルが収集され、サ

50

ンブルがその周期にわたって均等に分布すれば、ストローブ時間の数は十分であろう。

【0044】

十分なデータが収集されると、処理はステップ322に進む。ステップ322において、データ解析回路122はデューティサイクルを計算できる。デューティサイクルに対する上に与えられた公式に従って、XとYの積でZの値を割ることによって、デューティサイクルに対する値を決定することができる。望ましくは、この公式が使用される時、 T_1 、 T_2 、XおよびYに対して選ばれる値に2つの制限がおかれる。第1の制限は、ストローブが測定範囲全体を通して確実に均等に区切られるようにすることであり、以下のように述べられる：値Yは、 T_2 を T_1 で割って得られたその商の正整数倍の数でなければならない。第2の制限は、信号周期の整数倍数の測定が確実に行われることであり、以下のように述べられる：Xと T_2 の積は、信号 S_{1n} の周期の正整数倍の数でなければならない。

10

【0045】

ステップ324において、計算されたデューティサイクルは、半導体部品の製造プロセスを変更するために用いられる。測定されたデューティサイクルに対する様々な対応が可能である。例えば、供試のデバイス110に対して測定されたデューティサイクルは、そのタイプのデバイスに対する仕様と比較されるかもしれない。デューティサイクルが仕様の範囲に該当していれば、デバイスはパッケージされ、実用的なデバイスとして販売されるかもしれない。あるいはまた、供試のデバイスが仕様の範囲のデューティサイクルを示さない場合、デバイスは破棄されるかもしれない。あるいはまた、デバイスは、より低いスピード部品用のスピード bin (speed bin) に割り当てられるかもしれない。その後、デバイスは、適宜パッケージされ、標記されるかもしれない。

20

【0046】

あるいはまた、デューティサイクル測定の結果は、製造プロセスの加工部分を変更するために用いられるかもしれない。さらなる選択肢として、デューティサイクル測定の結果は、キャリブレーションまたは他のプロセスに対して用いられ、それによって、特定の供試のデバイスのデューティサイクルが修正されるかもしれない。

【0047】

このようにして本発明の少なくとも1つの実施例のいくつかの侧面について説明したが、様々な変更、変形、および改良は当業者によって容易になされるであろう。

【0048】

例えば、図2Bは、ストローブ時間が信号 S_{1n} の周期あたり2つのサンプルを有するように設定されるのを示す。周期単位で、より少ないサンプルを収集するかもしれない。しかしながら、同じ結果を得るために、Yの値（ストローブ時間における増分の数を示す）は、倍にされなければならないだろう。あるいはまた、信号 S_{1n} の周期あたりのストローブ時間の数は、2より大きいかもしれない。望ましくは、1周期あたりのストローブ時間の数は偶数である。不用意に1周期あたりのストローブ時間の数を増やすと、Yの値を比例して減少させることになるであろう。

30

【0049】

さらに、ストローブ時間が、入力信号 S_{1n} の周期あたり2つのサンプルを収集するように設定されたと、上で説明した。この設定に関連して、ストローブの増分を、値Yの逆と等しい、信号 S_{1n} の周期の一部分である、と説明した。1周期あたり2つのサンプルで、値のこの組み合わせは、値Yが、2の整数倍数に、 T_2 を T_1 で割った商を掛けた値であるという状況を作り出す。2またはそれ以上の数値の整数倍数に、 T_2 を T_1 で割った商を掛けて得られるYの値を用いると、追加平均化効果を有し、さらに、テスト方法のノイズに対する弱さを減少させるはずである。しかしながら、それはテクニックの適切な動作に対しては必要とされていない。

40

【0050】

さらに、テスト100が、プログラムで制御できるオフセット値 V_{od} を有する差動コンパレータ116を備えると説明した。他の回路素子が代わりに用いられるかもしれない。例えば、本発明は差動信号のデューティサイクルを測定するシステムによって図示される。

50

デューティサイクル測定は、差動信号である傾向がある高速信号に関して特に有益であるが、本発明の適用は、そのように制限されず、シングルエンド形、または他のタイプの信号に関するデューティサイクルを測定するために使われるかもしれない。シングルエンド形信号についての測定に対しては、コンパレータ116は、図1で示された差動コンパレータよりむしろシングルエンドコンパレータであり、そして、選ばれる基準電圧は、通常、期待される信号スイングの中点であろう。

【0051】

また、コンパレータは、入力がしきい値を超えているか、またはしきい値の下にあるかを示す論理的な信号を発生させるとして記述される。コンパレータは、2つだけの可能な状態を有する出力信号を持つと、上で説明される。しかしながら、いくつかのコンパレータは、個別の状態を示すために個別の信号を出力する。1つの信号は、入力が、有効なH I状態を示すしきい値を超えていることを示すために用いられ、別個の信号は、入力が、有効なL O状態を示すしきい値の下にあることを示すために用いられるかもしれない。そのようなコンパレータは、2つより多い信号の状態を示す。それは、信号が、H IまたはL Oであることを示すことができる。またそれは、信号が、中間的状態、または未定義の状態を有することを示すことができる。そのようなコンパレータは、必要な基準値にL Oしきい値を設定し、その他の補足的な値にH Iしきい値を設定することによって、上で説明されたプロセスにおいて用いられるかもしれない。L Oしきい値は重要である。なぜならば、そのテクニックが、コンパレータ116によるあらゆる測定に対して、コンパレータ116から論理的なL O出力を期待するようにプログラムされるパターンについて説明するからである。また、H Iしきい値を用いて、コンパレータ116によるあらゆる測定に対して論理的なH Iを期待するようにパターンをプログラムする、逆のアプローチも有効であるが、しかしその場合、デューティサイクルを計算する等式は、このアプローチに従って少し修正される必要があるであろう。

10

20

30

40

【0052】

さらに、サンプルは、パターン間でストローブ時間を増加することによって、さまざまなストローブ時間にわたって収集されるとして記述されている。サンプルが収集される順番は重要ではない。どのような順番でサンプルを収集しても、それが興味のある信号の間隔の全範囲にわたって、同じサンプル分布をもたらす場合には、許容できる結果を与えるはずである。望ましくは、サンプル分配は興味のある間隔の全範囲にわたって一様であるべきである。

【0053】

また、このテクニックの原理を、タイミングエッジ検索の使用と組み合わせることで、値Yによって表現される、パターンの必要な繰り返し数を減らすことによるテスト時間の最適化が可能となる。このアプローチにおいては、値T₂によって示されるストローブの間の間隔は、入力信号S_{1n}の周期と同期していかなければならない。これは、信号S_{1n}の1周期あたりに、ストローブの正整数倍数が常にあるか、ということであり、逆もまた同様である。このテスト時間の最適化において、タイミングエッジ探索テクニックは、電圧遷移を含む信号S_{1n}の周期の中で、迅速に粗いタイミング範囲を決定するために用いられるであろう。その結果、図3から、ステップ314、316、318、および320のループによって示されるデータ収集プロセスは、信号エッジの存在が判明している、このより狭い範囲において必要とされるだけであろう。この範囲の外にあるすべてのものは、ストローブXの総数の半分に等しい不良カウントZを有すると正確に予測される。例として、電圧遷移が、ストローブ位置Nに対して信号周期のプラスまたはマイナス5%においてのみ現れることがわかる場合、T1とYの積は、信号周期のこの10%の部分だけをカバーするように減じられ、プロセス繰り返しの必要数において一桁の削減をもたらす。

【0054】

そのような変更、変形、および改良は、この開示の一部であり、本発明の精神および範囲の中にある。したがって、以上の説明および図面は例としてのみ示すものである。

【0055】

50

添付図面が一定の尺度で比例するように描かれることを意図しない。図面では、様々な図で示される個々の、同じか、またはほとんど同じ構成要素は、同様の数字によって表される。明瞭さのために、あらゆる図面であらゆる構成要素をラベルできるというわけではない。

【図面の簡単な説明】

【0056】

【図1】デューティサイクルの測定において有用な自動検査システムの一部を図示する概略見取り図である。

【図2】(A)～(C)は、デューティサイクルを測定する方法の理解において有用な概略見取り図である。

【図3】デューティサイクルを測定する方法の理解において有用なフローチャートである。

10

20

【符号の説明】

【0057】

100 テスター

110 デバイス

116 差動コンパレータ

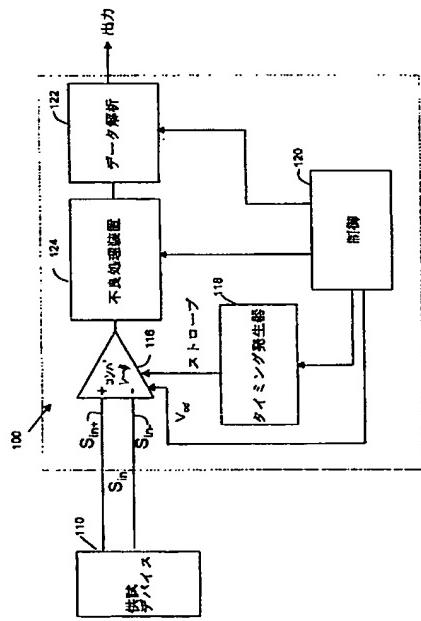
118 タイミング発生器

120 制御論理

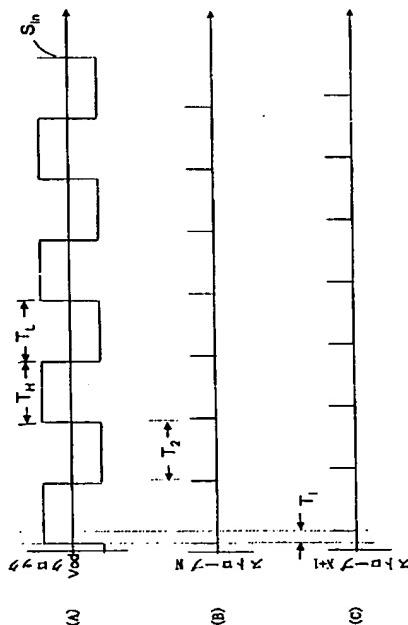
122 データ解析回路

124 不良処理回路

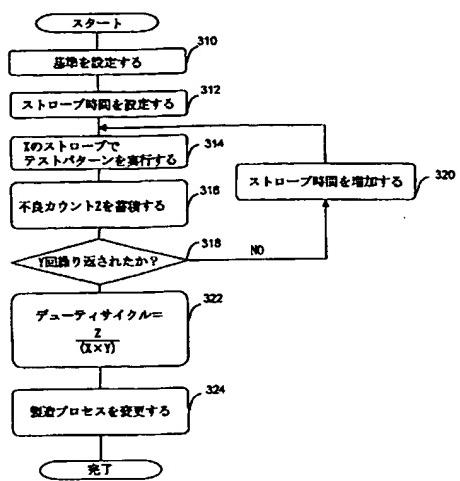
【図1】



【図2】



【図3】



フロントページの続き

(74)代理人 100121186

弁理士 山根 広昭

(72)発明者 ベリュー ラウル ジュー

アメリカ合衆国 ティー エックス 78676、ワインバレー、ブランソン レーン 219

Fターム(参考) 2G132 AA00 AE14 AE18 AE23 AG08 AL00